

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-191954

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

G06F 15/78

G06F 1/04

(21)Application number : 05-330369

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.12.1993

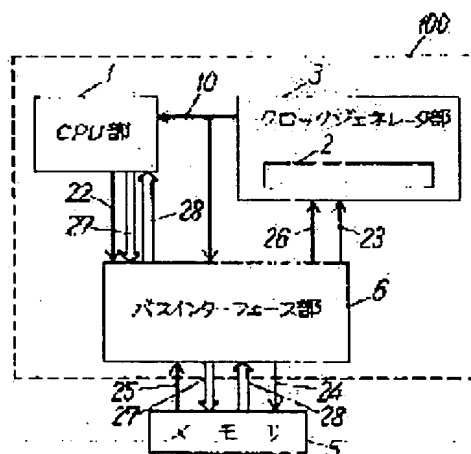
(72)Inventor : TAMURA YOSHIHIRO
SUZUKI TOMOSUKE
SUGIMURA YUKIO
WATANABE MASAOKI

(54) MICROCOMPUTER SYSTEM

(57)Abstract:

PURPOSE: To make a CPU part simple in circuit and low in power consumption.

CONSTITUTION: A one-chip microcomputer 100 is provided with a clock generator part 3, which supplies a clock 10 to a CPU part 1 and a bus interface part 6, and a bus interface part 6 which controls transmission/reception of data to/from a memory 5. Since the clock generator part 3 has a clock controller, the clock 10 supplied from the clock generator part 3 to the CPU part 1 can be stopped while the memory 5 is preparing for data write or read. Consequently, it is unnecessary for the CPU part 1 to have the wait state control function, and the circuit of the CPU part 1 is simplified. Since the operation of the CPU part 1 is stopped when the memory 5 is in the preparation state, the unnecessary power consumption for the CPU part 1 is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the microcomputer system characterized by controlling the clock supplied to said CPU section from said clock generator section to a idle state while having the CPU section, the clock generator section which gives a clock to said CPU section, and the memory connected to said CPU section through the interface section, said clock generator section's having the clock control section and the clock generation section and, as for said clock control section, said memory's making writing or read-out preparations.

[Claim 2] The CPU section and the clock generator section which gives a clock to said CPU section, The memory connected to said CPU section through the interface section, It has the time amount metering device which said memory writes in and measures fixed time amount from

initiation or read-out initiation. Said clock generator section has the clock control section and the clock generation section. With the signal from said time amount metering device to said clock control section It is the microcomputer system characterized by fixed time amount controlling the clock supplied to said CPU section from said clock generator section to a idle state after said memory writes in, starting or reading and starting.

[Claim 3] It is the microcomputer system characterized by controlling the clock supplied to said Direct Memory Access from said clock generator section to a idle state while having Direct Memory Access, the clock generator section which gives a clock to said Direct Memory Access, and the memory connected to said Direct Memory Access, said clock generator section's having the clock control section and the clock generation section and, as for said clock control section, said memory's making writing or read-out preparations.

[Claim 4] The interface section connected to the CPU section, and the memory connected to said interface section, Have said CPU section and the clock generator section which gives a clock to said interface section, and it sets to a microcomputer system with more I/O number of bits of said CPU section than the I/O number of bits of said memory. Said clock generator section has the clock

control section and the clock generation section. While, as for said clock control section, said memory is making writing or read-out preparations, The microcomputer system which makes a idle state the clock supplied to said CPU section from said clock generator section, and is characterized by controlling the clock supplied to said interface section from said clock generator section to operating state.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the microcomputer system by which the CPU section operates according to a clock.

[0002]

[Description of the Prior Art] Hereafter, it explains, referring to drawing 11 about the conventional microcomputer system.

[0003] Drawing 11 is the conventional microcomputer structure of a system Fig. 101 is the CPU section and controls the instruction execution of 1 chip microcomputer 200. It is memory, and external [of 105] is carried out to 1 chip microcomputer 200, and write-in read-out is possible for it. 106 is the bus interface section and controls I/O of the data between memory 105 and 1 chip microcomputer 200. 103 is the clock generator section and gives the clock 110

of operation to the CPU section 101 and the bus interface section 106. Moreover, inside the bus interface section 106, it has non-processed control circuit 107a, and non-processed control circuit 107a can be controlled to process nothing, even if a clock of operation is inputted into the bus interface section 106. It has non-processed control circuit 107b also inside the CPU section 101, and non-processed control circuit 107b can be controlled in the condition (henceforth wait status) of processing nothing even if a clock of operation is inputted into the CPU section 101.

[0004] The CPU section 101 and the bus interface section 106 are connected with an internal bus 127, and the bus interface section 106 and memory 105 are connected by the external bus 128.

[0005] About the conventional microcomputer system constituted as mentioned above, the actuation is explained below.

[0006] First, in order that memory 105 and 1 chip microcomputer 200 may start I/O of data, the I/O signal 126 is outputted from the CPU section 101 to the bus interface section 106. The I/O start signal 125 for telling starting I/O of data from the bus interface section 106 to memory 105 to coincidence is outputted. The memory 105 which received the I/O start signal 125 starts the writing of data, or preparation of read-out. A clock 110 is always given to the CPU section 101 and

the bus interface section 106 from the clock generator section 103, and a clock 110 continues being supplied also while memory 105 is making preparations of writing or read-out. Therefore, while memory 105 was making preparations of writing or read-out, the CPU section 101 and the bus interface section 106 were controlled by the non-processed control circuit 107 to wait status.

[0007] In addition, generally the direction of the CPU section of the reason for controlling the CPU section 101 and the bus interface section 106 to wait status is because the process speed is quite quick compared with memory. That is, while memory 105 is making preparations of the writing to the current instruction from the CPU section 101, or read-out, it is for preventing the CPU section's 101 finishing a current instruction execution, executing the next instruction, mixing the instruction signal from the data and the CPU section 101 from memory 105 in the bus interface section 106, and malfunction occurring.

[0008]

[Problem(s) to be Solved by the Invention] While memory 105 is making the writing of data, or preparations of read-out, in order not to output an instruction signal from the CPU section 101 and the bus interface section 106, the non-processed control circuit 107 which has a wait status control function inside the CPU section 101 and the bus

interface section 106 needed to consist of conventional microcomputer systems.

[0009] However, since the CPU section 101 had controlled all actuation of microcomputer systems, such as an interpretation of an instruction, and control of activation, the circuit was very complicated, and non-processed control circuit 107b which can control the CPU section 101 to wait status corresponding to all actuation of the CPU section 101 also became a complicated circuit, and it needed the remarkable effort for the design for it.

[0010] Moreover, since a clock 110 continues being given from the clock generator section 103 although the CPU section 101 and the bus interface section 106 do not need to operate while memory 105 is making the writing of data, or preparations of read-out, it is made wait status by the non-processed control function so that the CPU section 101 may not carry out the following instruction execution. Therefore, the CPU section 101 continued operating by wait status, and the memory preparation period was also carrying out useless power consumption.

[0011] While this invention does not need to solve the above-mentioned technical problem, not having a wait status control function in the CPU section 101, and being able to realize simplification of the CPU section 101 and memory's 105 making the writing of data, or

preparations of read-out, actuation of the CPU section 101 is stopped and it aims at offering the microcomputer system which can reduce power consumption.

[0012]

[Means for Solving the Problem] This invention supplies a stop signal to the clock generator section, while the clock generator section which gives a clock to the CPU section is constituted from the clock control section and the clock generation section and memory is making writing or read-out preparations, in order to attain the above-mentioned purpose.

[0013]

[Function] While memory is making writing or read-out preparations, this invention is controllable by the above-mentioned configuration so that the clock generator section does not supply a clock to the CPU section.

[0014]

[Example] The 1st example of this invention is explained below, referring to a drawing.

[0015] Drawing 1 is the microcomputer structure-of-a-system Fig. of the 1st example of this invention.

[0016] In drawing 1, 1 is the CPU section and controls an interpretation and activation of an instruction of the 1 chip microcomputer 100 whole. It is memory, and external [of 5] is carried out to 1 chip microcomputer 100, and write-in read-out is possible for it. 6 is the bus interface section and controls I/O of the

data between memory 5 and 1 chip microcomputer 100. 3 is the clock generator section, has clock control equipment 2 inside, and gives the clock 10 of operation to the CPU section 1 and the bus interface section 6. The CPU section 1 and the bus interface section 6 are connected with an internal bus (not shown), and a bus interface 6 and memory 5 are connected by the external bus (not shown).

[0017] It explains in the microcomputer system of the 1st example constituted as mentioned above, referring to the timing chart shown in drawing 1 and drawing 2 about actuation in case 1 chip microcomputer 100 reads the data memorized in memory 5.

[0018] First, in order to read the data of memory 5, the input instruction signal 22 is inputted into the bus interface section 6 from the CPU section 1. Address data 27 are inputted into coincidence at the bus interface section 6. Then, the input start signal 24 and address data 27 are inputted into memory 5 from the bus interface section 6. The memory 5 which received the input start signal 24 and address data 27 starts the preparation for reading the data of the specified address value. Moreover, memory 5 reads the bus interface section 6, it judges that it is a preparatory state, and outputs the input state signal 23 to the clock generator section 3 at the same time it detected the input instruction signal 22. If the input

state signal 23 is inputted into the clock generator section 3, as shown in drawing 2, the clock 10 supplied to the CPU section 1 and the bus interface section 6 will be made into a idle state with the instruction from clock control equipment 2. If a clock 10 will be in a idle state, actuation will stop the CPU section 1 and the bus interface section 6. If memory 5 will be in the condition that the data specified with address data 27 can be outputted, the data 28 of the address value specified as the output start signal 25 by the bus interface section 6 through the external bus from memory 5 will be outputted. While the bus interface section 6 has the input of the output start signal 25, it outputs the input initiation condition signal 26 to the clock generator section 3. In response to the input initiation condition signal 26, with clock control equipment 2, the clock generator section 3 makes a clock 10 operating state from a idle state, as shown in drawing 2. The CPU section 1 and the bus interface section 6 will start actuation again, if the clock 10 of operating state inputs.

[0019] Next, the configuration of the clock generator section 3 is further explained to a detail, referring to drawing 7.

[0020] Drawing 7 is the block diagram of the clock generator section 3. As shown in drawing 7, 4 is a clock generator and supplies a clock 10 outside through clock control equipment 2. Clock control equipment 2 consists of an AND circuit

and an RS flip-flop circuit, is an input signal from the set terminal 8 and the reset terminal 9, and can control the clock from a clock generator 4 to operating state or a idle state.

[0021] Hereafter, actuation of the clock generator section is explained, referring to drawing 2 R> 2 and drawing 7.

[0022] First, if the input state signal 23 of H is inputted into the reset terminal 9, the output of RS flip-flop circuit will be set to L, and the signal of L will be inputted into one input terminal of an AND circuit. Therefore, it will not be concerned with H of the output of the clock generator 4 inputted into the input terminal of another side of an AND circuit, and L, but a clock 10 will be in a idle state.

[0023] Then, if the input initiation condition signal 26 of H is inputted into the set terminal 8 and the input state signal 23 of L is inputted into the reset terminal 9, the signal of H will be inputted into one terminal of an AND circuit, and it will output from the clock generator section 3 as it is by using the clock of the operating state of a clock generator 4 as a clock 10.

[0024] As mentioned above, the clock generator section 3 is a signal from the set terminal 8 and the reset terminal 9, and can control a clock 10 to operating state or a idle state.

[0025] In addition, the configuration of the clock generator section 3 shown in

drawing 7 is an example, and even if they are other circuitry, it should just have the clock control function.

[0026] Next, it explains in the microcomputer system of the 1st example of this invention, referring to the timing chart of drawing 3 and drawing 4 about actuation in case 1 chip microcomputer 100 writes data in memory 5.

[0027] Since the microcomputer structure of a system shown in drawing 3 is the same as that of the configuration shown in drawing 1, explanation is omitted.

[0028] First, in order that memory 5 may write in data, the CPU section 1 carries out the sequential output of the output instruction signal 32, address data 37, and the data 38 in the bus interface section 6 at the bus interface section 6. Then, the output start signal 34 and address data 37 are outputted to memory 5 from the bus interface section 6. The output start signal 34 is a signal which tells memory 5 about write-in initiation of data through the bus interface section 6 from the CPU section 1, and address data 37 specify the address value of memory 5. Moreover, data 38 are data written in the memory area corresponding to the address value specified with address data 37. The memory 5 which received the output start signal 34, address data 37, and data 38 one by one starts write-in preparation of data 38. Moreover, memory 5 writes the bus interface section 6 in the input and

coincidence of the output instruction signal 32, it judges that it is a preparatory state to them, and outputs the output state signal 33 to them to the clock generator section 3. In the clock generator section 3, the clock 10 supplied to the CPU section 1 and the bus interface section 6 as the instruction from clock control equipment 2 shows to the input and coincidence of the output state signal 33 at drawing 4 will be in a idle state. Actuation stops the CPU section 1 and the bus interface section 6 into which the clock 10 of a idle state was inputted. By memory 5, if the writing of the data 38 to the specified address is completed, the completion signal 35 of an input will be inputted into the bus interface section 6 from memory 5, and the bus interface section 6 which received the completion signal 35 of an input will output the completion condition signal 36 of an input to the clock generator section 3. In response to the completion condition signal 36 of an input, with clock control equipment 2, the clock generator section 3 makes a clock 10 operating state from a idle state, as shown in drawing 4. The CPU section 1 and the bus interface section 6 which received the clock 10 of operating state start actuation again.

[0029] The 2nd example of this invention is explained below, referring to drawing 5. Drawing 5 is the microcomputer structure of a system Fig. of the 2nd example of this invention.

[0030] In drawing 5, 1 is the CPU section and controls an interpretation and activation of an instruction of the 1 chip microcomputer 100 whole. It is memory, and external [of 5] is carried out to 1 chip microcomputer 100, and write-in read-out is possible for it. 6 is the bus interface section and controls I/O of the data between memory 5 and 1 chip microcomputer 100. 7 is a time amount metering device, if the interface section 6 inputs a signal, it can start timing measurement, and it can measure fixed time amount on which it decides beforehand. 3 is the clock generator section, and the internal configuration is the same as the configuration of the clock generator section shown in drawing 7, and gives a clock of operation to the CPU section 1 and the bus interface section 6. It has connected with the internal bus (not shown) and the CPU section 1 and the bus interface section 6 have connected the bus interface section 6 and memory 5 by the external bus (not shown).

[0031] It explains referring to the timing chart shown in drawing 5 and drawing 6 about actuation of the microcomputer system of the 2nd example constituted as mentioned above.

[0032] First, actuation in case 1 chip microcomputer 100 reads the data memorized in memory 5 is explained.

[0033] In order to read the data of memory 5, the sequential output of the

input instruction signal 22 and the address data 27 is carried out from the CPU section 1 to the bus interface section 6. Inputting the input start signal 24 and address data 27 into memory 5 from the bus interface section 6 at coincidence, memory 5 starts read-out preparation of the specified address. Moreover, the bus interface section 6 outputs the clock stop signal 43 to the input and coincidence of the input instruction signal 22 to the clock generator section 3. In the clock generator section 3, if the clock stop signal 43 is inputted, the clock 10 supplied to the CPU section 1 and the bus interface section 6 as the instruction from clock control equipment 2 shows to drawing 6 will be in a idle state. Furthermore, the bus interface section 6 also outputs the time amount measurement start signal 46 to the time amount metering device 7 at the same time it inputs the input instruction signal 22 into the bus interface section 6 from the CPU section 1. The time amount metering device 7 which received the time amount measurement start signal 46 will output the completion signal 47 of time amount measurement to the bus interface section 6, if the time amount set up beforehand passes. In addition, the time amount beforehand set as the time amount metering device 7 is time amount required for read-out preparation of the data of an address value with which memory 5 was specified. The bus

interface section 6 which received the completion signal 47 of time amount measurement judges that read-out preparation of memory 5 was completed, and outputs the clock actuating signal 44 to the clock generator section 3. In response to the clock actuating signal 44, with clock control equipment 2, the clock generator section 3 makes a clock 10 operating state from a idle state, as shown in drawing 6 . The CPU section 1 and the bus interface section 6 which received the clock 10 of operating state start actuation again. In addition, the clock 10 has read data 28 to the bus interface section 6 between idle states, and if a clock 10 will be in operating state, as for memory 5, the bus interface section 6 will output data 28 to the CPU section 1. [0034] Next, the actuation when writing data in memory 5 from 1 chip microcomputer 100 is explained.

[0035] First, in order that memory 5 may write in data, the sequential output of the output instruction signal 32, address data 37, and the data 38 is carried out from the CPU section 1 to the bus interface section 6. At coincidence, the sequential input of the output start signal 34, address data 37, and the data 38 is carried out from the bus interface section 6 at memory 5. In addition, the output start signal 34 is a signal for telling starting writing data in memory 5 through the bus interface section 6 from the CPU section 1. The memory 5 which

received the output start signal 34, address data 37, and data 38 begins to write data 38 in the specified address. Moreover, memory 5 writes it in, it judges that it is a preparatory state, and outputs the clock stop signal 43 to the clock generator section 3 at the same time the output instruction signal 32 inputs the bus interface section 6. In the clock generator section 3, if the clock stop signal 43 inputs, the clock 10 supplied to the CPU section 1 and the bus interface section 6 as the instruction from clock control equipment 2 shows to drawing 6 will be in a idle state. Actuation stops the CPU section 1 and the bus interface section 6 which received the clock 10 of a idle state.

[0036] Moreover, the bus interface section 6 outputs the time amount measurement start signal 46 to the time amount metering device 7 at the same time the CPU section 1 inputs the output instruction signal 32 into the bus interface section 6. The time amount metering device 7 which received the time amount measurement start signal 46 will output the completion signal 47 of time amount measurement to the bus interface section 6, if the time amount set up beforehand passes. In addition, the time amount beforehand set as the time amount metering device 7 is time amount required in order to write data in the address specified by memory 5. The bus interface section 6 which received the

completion signal 47 of time amount measurement judges that the writing of memory 5 was completed, and outputs the clock actuating signal 44 to the clock generator section 3. In response to the clock actuating signal 44, with clock control equipment 2, the clock generator section 3 makes a clock 10 operating state from a idle state, as shown in drawing 6. The CPU section 1 and the bus interface section 6 which received the clock 10 of operating state start actuation again.

[0037] In addition, although the completion signal 47 of time amount measurement outputted from the time amount metering device 7 is inputted into the bus interface section 6 in the 2nd example, it outputs to the direct clock generator section 3, and even if it gives an instruction to clock control equipment 2, it is satisfactory in any way.

[0038] Moreover, in the 2nd example, although the time amount beforehand set as the time amount metering device 7 is time amount required for read-out preparation of the data of the address with which memory 5 was specified, or write-in preparation of data, even if time amount longer than it is set up, it is satisfactory.

[0039] Moreover, the time amount metering device 7 may be constituted inside the bus interface section 6. Since the clock generator section 3 is constituted from a clock generator 4 and clock control equipment 2, while memory

6 is making writing or read-out preparations as mentioned above according to the 1st and 2nd examples of the above, it can control so that the clock generator section 3 does not supply a clock to the CPU section 1, and useless actuation of the CPU section 1 in the preparation period of memory 5 can be suspended, and power consumption can be cut down.

[0040] Since especially the external bus that connects the CPU section and memory in transfer of the data of the CPU section and external memory is generally long, preparation of memory takes long time amount and quite big effectiveness is acquired.

[0041] Moreover, since a clock 10 is not supplied to the CPU section 1 from the clock generator section 3 while memory 5 is making writing or read-out preparations, it becomes unnecessary to constitute a non-processed control circuit inside the CPU section 1, and the configuration of the CPU section 1 is simplified.

[0042] Next, the 3rd example of this invention is explained, referring to a drawing. Drawing 8 is the microcomputer structure of a system Fig. of the 3rd example of this invention.

[0043] Since the microcomputer structure of a system shown in drawing 8 is the same as that of the microcomputer structure of a system of the 1st example shown in drawing 1, it attaches the same

sign and omits explanation.

[0044] However, unlike what used the configuration of the clock generator section 3 in the 1st example, the clock 20 inputted into the CPU section 1 can be controlled by clock control equipment 2, and the clock 30 inputted into the bus interface section 6 has uncontrollable composition. Moreover, transfer of data shall be performed by the 16-bit internal bus, and, as for the CPU section 1 and the bus interface section 6, transfer of data shall be performed by the 8-bit external bus, as for the bus interface section 6 and memory 5.

[0045] It explains in the microcomputer system of the 3rd example constituted as mentioned above, referring to the timing chart shown in drawing 8 and drawing 9 about actuation in case 1 chip microcomputer 100 reads the data memorized in memory 5.

[0046] In addition, in the 3rd example, only actuation in case 1 chip microcomputer 100 reads the data memorized in memory 5 is explained, and explanation of write-in actuation of the data to memory 5 is omitted.

[0047] First, in order to read the data of memory 5, the input instruction signal 22 is inputted into the bus interface section 6 from the CPU section 1. The 16-bit address data 27 are inputted into coincidence at the bus interface section 6. Then, if the input instruction signal 22 is inputted into the bus interface section 6,

memory 5 will read, it will judge that it is a preparatory state, and the input state signal 23 will be outputted to the clock generator section 3. If the input state signal 23 is inputted into the clock generator section 3, the clock 20 supplied to the CPU section 1 as the instruction from clock control equipment 2 shows to drawing 9 R> 9 will be made into a idle state. Actuation stops the CPU section 1 which received the clock 20 of a idle state. Moreover, the clock generator section 3 continues supplying a clock 30 to the bus interface section 6.

[0048] Moreover, among the input start signal 24 and 16-bit address data, the bus interface section 6 which received the 16-bit address data 27 and the input instruction signal 22 uses data of 8 bits of high orders as address data 27, and inputs them into memory 5. Then, the address data 27 of the 8 bits of the remaining low order are inputted into memory 5. Completion of read-out preparation of the address value specified by the address data 27 for 16 bits outputs the data 28 of 8 bits of high orders of the address specified as the output start signal 25 by the bus interface section 6 from memory 5. Then, the data 28 of 8 bits of low order are outputted. The bus interface section 6 outputs the input initiation condition signal 26 to the clock generator section 3 at the same time it inputs the output start signal 25. In response to the input initiation condition

signal 26, with clock control equipment 2, the clock generator section 3 makes a clock 10 operating state from a idle state, as shown in drawing 9 . The CPU section 1 and the bus interface section 6 which received the clock 10 of operating state start actuation again.

[0049] Next, the configuration of the clock generator section 3 is further explained to a detail, referring to drawing 10 .

[0050] Drawing 10 is the block diagram of the clock generator section 3. As shown in drawing 10 , 4 is a clock generator and supplies a clock 20 to the CPU section 1 through clock control equipment 2. The output of a clock generator 4 is supplied to the direct bus interface section 6 as a clock 30. Clock control equipment 2 consists of an AND circuit and an RS flip-flop circuit, is an input signal from the set terminal 8 and the reset terminal 9, and can control a clock 20 to operating state or a idle state.

[0051] Hereafter, actuation of the clock generator section is explained, referring to drawing 9 R> 9 and drawing 10 .

[0052] First, if the input state signal 23 of H is inputted into the reset terminal 9, the output of RS flip-flop circuit will be set to L, and the signal of L will be inputted into one input terminal of an AND circuit. Therefore, the clock 10 which is not concerned with H of the output of the clock generator 4 inputted into the input terminal of another side of an AND circuit and L, but is outputted

from the clock generator section 3 will be in a idle state.

[0053] Then, if the input initiation condition signal 26 of H is inputted into the set terminal 8, the signal of H will be inputted into one terminal of an AND circuit, the output of a clock generator 4 will be outputted as it is, and the clock generator section 3 will output the clock 20 of operating state.

[0054] In the 3rd example, memory 5 reads as mentioned above. Between preparatory states Since the clock 30 to the bus interface section 6 is considered as as [operating state] and the clock 20 to the CPU section 1 is made into the idle state Even when there is more I/O number of bits of the CPU section 1 than the I/O number of bits of memory 5 It is not necessary to constitute a non-processed control circuit in the CPU section 1 and, and power consumption can be cut down like [in being able to divide into two steps the data inputted into the bus interface section 6 from the CPU section 1 and being able to input them into memory 5] the 1st and 2nd examples.

[0055] In addition, although the 3rd example explained the case where an internal bus was 16 bits and an external bus was 8 bits, even when the bus to which the CPU section is connected, and the bus to which memory is connected are the same numbers of bits, it can respond.

[0056] In the 1st, 2nd, and 3rd example,

although, as for the bus interface section 6, memory 5 is detecting whether it is a preparatory state by the input instruction signal 22 or the output start signal 25 grade, you may detect by the existence of the data of an internal bus or an external bus, data change, etc.

[0057] Moreover, although the clock generator section 3 has clock control equipment 2 and is controlling the clock 10 by clock control equipment 2 according to the input state signal 23 from the bus interface section 6, the input initiation condition signal 26, and clock stop signal 43 grade, a clock control function may be given to the bus interface section 6, and a control signal may be outputted to the clock generator section 3. Moreover, although clock control equipment 2 is constituted inside the clock generator section 3, you may constitute outside.

[0058] Although external [of the memory 5] is carried out to the exterior of 1 chip microcomputer 100, even if it constitutes it inside 1 chip microcomputer 100, it is satisfactory in any way.

[0059] Moreover, although transfer of the data of memory 5 and the CPU section 1 was explained, it is not limited to it. For example, the same effectiveness is acquired even if it is transfer of the data of CPU and a register, and transfer of the data of Direct Memory Access (DMA) and memory.

[0060] Moreover, in the above-mentioned example, although it wrote in memory

and the memory which can be read was used, it is not limited to it.

[0061] Moreover, although the CPU section 1 and the bus interface section 6 are constituted separately, respectively, even if it constitutes the bus interface section from an above-mentioned example inside the CPU section 1, it is satisfactory in any way.

[0062]

[Effect of the Invention] Since according to this invention it is controllable so that the clock generator section does not supply a clock to the CPU section while memory is making writing or read-out preparations, the writing of memory or the preparation period of read-out can stop the CPU section, can lose useless actuation of the CPU section, and can cut down power consumption.

[0063] Moreover, since a clock is not inputted into the CPU section, it becomes unnecessary for the writing or read-out preparation period of memory to constitute the non-processed control circuit as a wait status control function in the CPU section, and it can realize simplification of a circuit.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The microcomputer structure of a system Fig. in the 1st example of this invention

[Drawing 2] The timing chart of the

microcomputer system in the 1st example of this invention

[Drawing 3] The microcomputer structure of a system Fig. in the 1st example of this invention

[Drawing 4] The timing chart of the microcomputer system in the 1st example of this invention

[Drawing 5] The microcomputer structure of a system Fig. in the 2nd example of this invention

[Drawing 6] The timing chart of the microcomputer system in the 2nd example of this invention

[Drawing 7] The block diagram of the clock generator section of the microcomputer system of the 1st example of this invention

[Drawing 8] The microcomputer structure of a system Fig. in the 3rd example of this invention

[Drawing 9] The timing chart of the microcomputer system in the 3rd example of this invention

[Drawing 10] The block diagram of the clock generator section of the microcomputer system of the 3rd example of this invention

[Drawing 11] The conventional microcomputer structure of a system Fig.

[Description of Notations]

- 1 The CPU Section
- 2 Clock Control Equipment
- 3 Clock Generator Section
- 5 Memory
- 6 Bus Interface Section

7 Time Amount Metering Device

10 Clock

22 Input Instruction Signal

23 Input State Signal

24 Input Start Signal

25 Output Start Signal

26 Input Initiation Condition Signal

27 Address Data

28 Data

32 Output Instruction Signal

33 Output State Signal

34 Output Start Signal

35 The Completion Signal of Input

36 The Completion Condition Signal of Input

37 Address Data

38 Data

43 Clock Stop Signal

44 Clock Actuating Signal

46 Time Amount Measurement Start Signal

47 The Completion Signal of Time Amount Measurement

100 1 Chip Microcomputer

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-191954

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.⁶

G 0 6 F 15/78

1/04

識別記号

5 1 0 P

3 0 1 C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平5-330369

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田村 佳洋

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 鈴木 知佐

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 杉村 幸夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外2名)

最終頁に続く

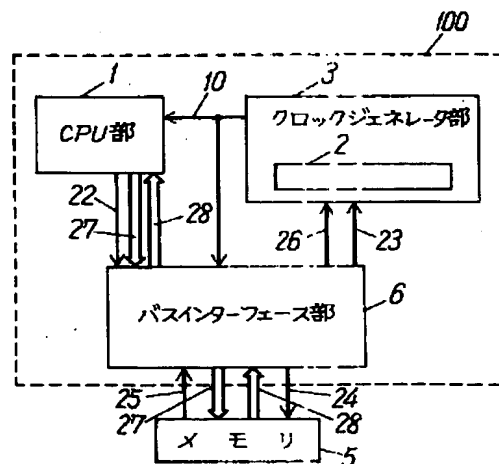
(54) 【発明の名称】 マイクロコンピュータシステム

(57) 【要約】

【目的】 CPU部1の回路の簡略化と低消費電力化を実現する。

【構成】 CPU部1とバスインターフェース部6にクロック10を供給するクロックジェネレータ部3と、メモリ5とのデータの授受を制御するバスインターフェース部6を有する1チップマイクロコンピュータ100において、クロックジェネレータ部3がクロック制御装置2を有しているため、メモリ5がデータの書き込みまたは読み出しの準備をしている間は、クロックジェネレータ部6からCPU部1に供給するクロック10を停止状態に制御できる。したがって、CPU部1がウェイト状態制御機能を有する必要がなくなりCPU部1の回路の簡素化を実現できる。またメモリ5が準備状態の間は、CPU部1の動作を停止させているため、CPU部1による無駄な電力消費を減らすことができる。

2 クロック制御装置 26 入力開始状態信号
10 クロック 27 アドレスデータ
22 入力命令信号 28 データ
23 入力状態信号 100 1チップマイクロコンピュータ
24 入力開始信号
25 出力開始信号



THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】 CPU部と、前記CPU部にクロックを与えるクロックジェネレータ部と、前記CPU部にインターフェース部を介して接続されているメモリとを備え、前記クロックジェネレータ部がクロック制御部とクロック発生部とを有し、前記クロック制御部は前記メモリが書き込みまたは読み出し準備をしている間、前記クロックジェネレータ部から前記CPU部に供給するクロックを停止状態に制御することを特徴とするマイクロコンピュータシステム。

【請求項2】 CPU部と、前記CPU部にクロックを与えるクロックジェネレータ部と、前記CPU部にインターフェース部を介して接続されているメモリと、前記メモリが書き込み開始または読み出し開始から一定の時間を測定する時間計測装置とを備え、前記クロックジェネレータ部がクロック制御部とクロック発生部とを有し、前記時間計測装置から前記クロック制御部への信号により、前記メモリが書き込み開始または読み出し開始してから一定時間は、前記クロックジェネレータ部から前記CPU部に供給するクロックを停止状態に制御することを特徴とするマイクロコンピュータシステム。

【請求項3】 ダイレクトメモリアクセスと、前記ダイレクトメモリアクセスにクロックを与えるクロックジェネレータ部と、前記ダイレクトメモリアクセスに接続されているメモリとを備え、前記クロックジェネレータ部がクロック制御部とクロック発生部とを有し、前記クロック制御部は前記メモリが書き込みまたは読み出し準備をしている間、前記クロックジェネレータ部から前記ダイレクトメモリアクセスに供給するクロックを停止状態に制御することを特徴とするマイクロコンピュータシステム。

【請求項4】 CPU部に接続されているインターフェース部と、前記インターフェース部に接続されているメモリと、前記CPU部と前記インターフェース部にクロックを与えるクロックジェネレータ部とを備え、前記CPU部の入出力ビット数が前記メモリの入出力ビット数より多いマイクロコンピュータシステムにおいて、前記クロックジェネレータ部がクロック制御部とクロック発生部とを有し、前記クロック制御部は前記メモリが書き込みまたは読み出し準備をしている間、前記クロックジェネレータ部から前記CPU部に供給するクロックを停止状態にし、前記クロックジェネレータ部から前記インターフェース部に供給するクロックを動作状態に制御することを特徴とするマイクロコンピュータシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、クロックに従ってCPU部が動作するマイクロコンピュータシステムに関するものである。

【0002】

【従来の技術】 以下、従来のマイクロコンピュータシステムについて図11を参照しながら説明する。

【0003】 図11は従来のマイクロコンピュータシステムの構成図である。101はCPU部で、1チップマイクロコンピュータ200の命令実行を制御する。105はメモリで、1チップマイクロコンピュータ200に外付けされ、書き込み読み出しが可能である。106はバスインターフェース部で、メモリ105と1チップマイクロコンピュータ200との間のデータの入出力をコントロールする。103はクロックジェネレータ部で、CPU部101およびバスインターフェース部106に動作クロック110を与える。また、バスインターフェース部106の内部には無処理制御回路107aを有し、無処理制御回路107aは、バスインターフェース部106に動作クロックが入力されても何も処理しないように制御することができる。CPU部101の内部にも無処理制御回路107bを有し、無処理制御回路107bはCPU部101に動作クロックが入力されても何も処理しない状態（以下、ウェイト状態という）に制御することができる。

【0004】 CPU部101とバスインターフェース部106は内部バス127で接続され、バスインターフェース部106とメモリ105は外部バス128で接続されている。

【0005】 以上のように構成された従来のマイクロコンピュータシステムについて、以下その動作を説明する。

【0006】 まず、メモリ105と1チップマイクロコンピュータ200がデータの入出力を開始するために、CPU部101からバスインターフェース部106に対して入出力信号126を出力する。同時に、バスインターフェース部106からメモリ105に対して、データの入出力を開始することを知らせるための入出力開始信号125を出力する。入出力開始信号125を受けたメモリ105はデータの書き込みまたは読み出しの準備を開始する。クロックジェネレータ部103からCPU部101およびバスインターフェース部106にはつねにクロック110が与えられ、メモリ105が書き込みまたは読み出しの準備をしている間もクロック110は供給され続ける。したがって、メモリ105が書き込みまたは読み出しの準備をしている間は、無処理制御回路107によってCPU部101およびバスインターフェース部106をウェイト状態に制御していた。

【0007】 なお、CPU部101およびバスインターフェース部106をウェイト状態に制御する理由は、一般にCPU部の方がメモリに比べて処理スピードがかなり速いためである。すなわちメモリ105がCPU部101からの現在の命令に対する書き込みまたは読み出しの準備をしている間に、CPU部101が現在の命令実行を終え次の命令を実行してしまい、バスインターフェ

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(3)

3

ース部106でメモリ105からのデータとCPU部101からの命令信号が混じるなどして誤動作が発生してしまうのを防ぐためである。

【0008】

【発明が解決しようとする課題】従来のマイクロコンピュータシステムでは、メモリ105がデータの書き込みまたは読み出しの準備をしている間、CPU部101およびバスインターフェース部106から命令信号が出力されないようにするため、CPU部101およびバスインターフェース部106の内部にウェイト状態制御機能を有する無処理制御回路107を構成する必要があった。

【0009】しかしながら、CPU部101は命令の解釈、実行の制御等のマイクロコンピュータシステムのあらゆる動作をコントロールしているため、回路は非常に複雑であり、CPU部101のあらゆる動作に対応してCPU部101をウェイト状態に制御できる無処理制御回路107bも、複雑な回路となり、設計にはかなりの労力を必要としていた。

【0010】また、メモリ105がデータの書き込みまたは読み出しの準備をしている間は、CPU部101およびバスインターフェース部106は動作する必要がないにもかかわらず、クロックジェネレータ部103からクロック110が与えられ続けるので、CPU部101が次の命令実行をしないように無処理制御機能によりウェイト状態にしている。したがって、メモリ準備期間もCPU部101はウェイト状態で動作し続け、無駄な電力消費をしていた。

【0011】本発明は上記課題を解決するもので、CPU部101にウェイト状態制御機能を有する必要がなく、CPU部101の簡素化が実現でき、またメモリ105がデータの書き込みまたは読み出しの準備を行なっている間は、CPU部101の動作を停止させ、消費電力を低減することができるマイクロコンピュータシステムを提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記目的を達成するために、CPU部にクロックを与えるクロックジェネレータ部をクロック制御部とクロック発生部で構成し、メモリが書き込みまたは読み出し準備をしている間は、クロックジェネレータ部に停止信号を供給するものである。

【0013】

【作用】本発明は上記した構成により、メモリが書き込みまたは読み出し準備をしている間は、クロックジェネレータ部がCPU部にクロックを供給しないように制御することができる。

【0014】

【実施例】以下本発明の第1の実施例について、図面を参照しながら説明する。

4

【0015】図1は本発明の第1の実施例のマイクロコンピュータシステムの構成図である。

【0016】図1において、1はCPU部で、1チップマイクロコンピュータ100全体の命令の解釈や実行を制御する。5はメモリで、1チップマイクロコンピュータ100に外付けされ、書き込み読み出しが可能である。6はバスインターフェース部で、メモリ5と1チップマイクロコンピュータ100との間のデータの入出力をコントロールする。3はクロックジェネレータ部で、内部にクロック制御装置2を有し、CPU部1およびバスインターフェース部6に動作クロック10を与える。CPU部1とバスインターフェース部6は内部バス（図示せず）で接続され、バスインターフェース部6とメモリ5は外部バス（図示せず）で接続されている。

【0017】以上のように構成された第1の実施例のマイクロコンピュータシステムにおいて、1チップマイクロコンピュータ100がメモリ5に記憶しているデータを読み出すときの動作について、図1および図2に示したタイミングチャートを参照しながら説明する。

【0018】まず、メモリ5のデータを読み出すために、CPU部1からバスインターフェース部6に入力命令信号22を入力する。同時にアドレスデータ27をバスインターフェース部6に入力する。続いてバスインターフェース部6からメモリ5に入力開始信号24およびアドレスデータ27を入力する。入力開始信号24およびアドレスデータ27を受けたメモリ5は指定されたアドレス値のデータを読み出すための準備を開始する。また、バスインターフェース部6は入力命令信号22を検知したと同時に、メモリ5が読み出し準備状態であると判断し、クロックジェネレータ部3に対し入力状態信号23を出力する。クロックジェネレータ部3に入力状態信号23が入力されると、クロック制御装置2からの命令で、図2に示すように、CPU部1およびバスインターフェース部6に供給するクロック10を停止状態にする。クロック10が停止状態になると、CPU部1およびバスインターフェース部6は動作が停止する。メモリ5がアドレスデータ27によって指定されたデータを出力できる状態になると、メモリ5からバスインターフェース部6に外部バスを介して出力開始信号25と指定されたアドレス値のデータ28を出力する。バスインターフェース部6は出力開始信号25の入力があると同時に、クロックジェネレータ部3に対し入力開始状態信号26を出力する。クロックジェネレータ部3は入力開始状態信号26を受けて、クロック制御装置2により図2に示すようにクロック10を停止状態から動作状態にする。CPU部1およびバスインターフェース部6は動作状態のクロック10が入力すると再び動作を開始する。

【0019】次に、クロックジェネレータ部3の構成を図7を参照しながらさらに詳細に説明する。

【0020】図7はクロックジェネレータ部3の構成図

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(4)

5

である。図7に示すように、4はクロック発振器で、クロック制御装置2を介して外部にクロック10を供給する。クロック制御装置2はAND回路およびRSフリップフロップ回路で構成されており、セット端子8およびリセット端子9からの入力信号で、クロック発振器4からのクロックを動作状態または停止状態に制御することができる。

【0021】以下、クロックジェネレータ部の動作を図2および図7を参照しながら説明する。

【0022】まず、リセット端子9にHの入力状態信号23を入力すると、RSフリップフロップ回路の出力はLとなり、AND回路の一方の入力端子にLの信号が入力される。したがってAND回路の他方の入力端子に入力されるクロック発振器4の出力のH、Lに関わらずクロック10は停止状態になる。

【0023】続いて、セット端子8にHの入力開始状態信号26、リセット端子9にLの入力状態信号23を入力すると、AND回路の一方の端子にHの信号が入力され、クロック発振器4の動作状態のクロックをそのままクロック10としてクロックジェネレータ部3から出力する。

【0024】以上のようにクロックジェネレータ部3はセット端子8およびリセット端子9からの信号で、クロック10を動作状態または停止状態に制御することができる。

【0025】なお、図7に示したクロックジェネレータ部3の構成は一例であり、他の回路構成であってもクロック制御機能を有していればよい。

【0026】次に、本発明の第1の実施例のマイクロコンピュータシステムにおいて、1チップマイクロコンピュータ100がメモリ5にデータを書き込むときの動作について図3および図4のタイミングチャートを参照しながら説明する。

【0027】図3に示したマイクロコンピュータシステムの構成は、図1に示した構成と同様であるので説明を省略する。

【0028】まず、メモリ5がデータを書き込むために、CPU部1がバスインターフェース部6に出力命令信号32、アドレスデータ37、データ38をバスインターフェース部6に順次出力する。続いて、バスインターフェース部6からメモリ5に出力開始信号34およびアドレスデータ37を出力する。出力開始信号34は、CPU部1からバスインターフェース部6を介してメモリ5にデータの書き込み開始を知らせる信号であり、アドレスデータ37はメモリ5のアドレス値を指定するものである。また、データ38はアドレスデータ37によって指定するアドレス値に対応するメモリ領域に書き込むデータである。出力開始信号34、アドレスデータ37、データ38を順次受けたメモリ5はデータ38の書き込み準備を開始する。また、バスインターフェース部

6

6は出力命令信号32の入力と同時に、メモリ5が書き込み準備状態であると判断し、クロックジェネレータ部3に対し出力状態信号33を出力する。クロックジェネレータ部3では出力状態信号33の入力と同時に、クロック制御装置2からの命令で図4に示すようにCPU部1およびバスインターフェース部6に供給するクロック10が停止状態になる。停止状態のクロック10が入力されたCPU部1およびバスインターフェース部6は動作が停止する。メモリ5では指定されたアドレスへのデータ38の書き込みが完了すると、メモリ5からバスインターフェース部6には入力完了信号35を入力し、入力完了信号35を受けたバスインターフェース部6は、クロックジェネレータ部3に対し入力完了状態信号36を出力する。クロックジェネレータ部3は入力完了状態信号36を受けて、クロック制御装置2により図4に示すようにクロック10を停止状態から動作状態にする。動作状態のクロック10を受けたCPU部1およびバスインターフェース部6は再び動作を開始する。

【0029】以下本発明の第2の実施例について、図5を参照しながら説明する。図5は本発明の第2の実施例のマイクロコンピュータシステムの構成図である。

【0030】図5において、1はCPU部で、1チップマイクロコンピュータ100全体の命令の解釈や実行を制御する。5はメモリで、1チップマイクロコンピュータ100に外付けされ、書き込み読み出しが可能である。6はバスインターフェース部で、メモリ5と1チップマイクロコンピュータ100との間のデータの入出力をコントロールする。7は時間計測装置で、インターフェース部6が信号を入力すると時間測定を開始し、あらかじめ決められている一定時間を測定することができる。3はクロックジェネレータ部で、内部構成は図7に示したクロックジェネレータ部の構成と同様であり、CPU部1およびバスインターフェース部6に動作クロックを与える。CPU部1とバスインターフェース部6は内部バス（図示せず）で接続しており、バスインターフェース部6とメモリ5は外部バス（図示せず）で接続している。

【0031】以上のように構成された第2の実施例のマイクロコンピュータシステムの動作について、図5および図6に示したタイミングチャートを参照しながら説明する。

【0032】まず、1チップマイクロコンピュータ100がメモリ5に記憶しているデータを読み出すときの動作について説明する。

【0033】メモリ5のデータを読み出すために、CPU部1からバスインターフェース部6に対して入力命令信号22およびアドレスデータ27を順次出力する。同時に、バスインターフェース部6からメモリ5に入力開始信号24およびアドレスデータ27を入力し、メモリ5は指定されたアドレスの読み出し準備を開始する。ま

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(5)

7

た、バスインターフェース部 6 は入力命令信号 22 の入力と同時に、クロックジェネレータ部 3 に対しクロック停止信号 43 を出力する。クロックジェネレータ部 3 ではクロック停止信号 43 が入力されると、クロック制御装置 2 からの命令で図 6 に示すように CPU 部 1 およびバスインターフェース部 6 に供給するクロック 10 が停止状態になる。さらに、CPU 部 1 からバスインターフェース部 6 に入力命令信号 22 を入力すると同時に、バスインターフェース部 6 は時間計測装置 7 に対して時間計測開始信号 46 も出力する。時間計測開始信号 46 を受けた時間計測装置 7 は、あらかじめ設定されている時間が経つと、バスインターフェース部 6 に時間計測完了信号 47 を出力する。なお、時間計測装置 7 にあらかじめ設定されている時間は、メモリ 5 が指定されたアドレス値のデータの読み出し準備に必要な時間である。時間計測完了信号 47 を受けたバスインターフェース部 6 は、メモリ 5 の読み出し準備が完了したと判断し、クロックジェネレータ部 3 にクロック動作信号 44 を出力する。クロックジェネレータ部 3 はクロック動作信号 44 を受けて、クロック制御装置 2 により図 6 に示すようにクロック 10 を停止状態から動作状態にする。動作状態のクロック 10 を受けた CPU 部 1 およびバスインターフェース部 6 は再び動作を開始する。なお、クロック 10 が停止状態の間に、メモリ 5 はバスインターフェース部 6 にデータ 28 を読み出しており、クロック 10 が動作状態になるとバスインターフェース部 6 は CPU 部 1 にデータ 28 を出力する。

【0034】次に、1チップマイクロコンピュータ 100 からメモリ 5 へデータを書き込む時の動作について説明する。

【0035】まず、メモリ 5 がデータを書き込むために、CPU 部 1 からバスインターフェース部 6 に対して出力命令信号 32、アドレスデータ 37、データ 38 を順次出力する。同時に、バスインターフェース部 6 からメモリ 5 に出力開始信号 34、アドレスデータ 37、データ 38 を順次入力する。なお、出力開始信号 34 は、CPU 部 1 からバスインターフェース部 6 を介してメモリ 5 にデータを書き込むことを開始することを知らせるための信号である。出力開始信号 34、アドレスデータ 37、データ 38 を受けたメモリ 5 は、指定されたアドレスにデータ 38 を書き込み始める。また、バスインターフェース部 6 は出力命令信号 32 が入力すると同時に、メモリ 5 が書き込み準備状態であると判断し、クロックジェネレータ部 3 に対しクロック停止信号 43 を出力する。クロックジェネレータ部 3 ではクロック停止信号 43 が入力すると、クロック制御装置 2 からの命令で図 6 に示すように CPU 部 1 およびバスインターフェース部 6 に供給するクロック 10 が停止状態になる。停止状態のクロック 10 を受けた CPU 部 1 およびバスインターフェース部 6 は動作が停止する。

8

【0036】また、CPU 部 1 がバスインターフェース部 6 に出力命令信号 32 を入力すると同時に、バスインターフェース部 6 は時間計測装置 7 に対して時間計測開始信号 46 を出力する。時間計測開始信号 46 を受けた時間計測装置 7 は、あらかじめ設定されている時間が経つと、バスインターフェース部 6 に時間計測完了信号 47 を出力する。なお、時間計測装置 7 にあらかじめ設定されている時間は、メモリ 5 が指定するアドレスにデータを書き込むために必要な時間である。時間計測完了信号 47 を受けたバスインターフェース部 6 は、メモリ 5 の書き込みが完了したと判断し、クロックジェネレータ部 3 にクロック動作信号 44 を出力する。クロックジェネレータ部 3 はクロック動作信号 44 を受けて、クロック制御装置 2 により図 6 に示すようにクロック 10 を停止状態から動作状態にする。動作状態のクロック 10 を受けた CPU 部 1 およびバスインターフェース部 6 は再び動作を開始する。

【0037】なお、第 2 の実施例では、時間計測装置 7 より出力される時間計測完了信号 47 を、バスインターフェース部 6 に入力しているが、直接クロックジェネレータ部 3 に出力して、クロック制御装置 2 に命令を与えてもなんら問題はない。

【0038】また、第 2 の実施例において、時間計測装置 7 にあらかじめ設定されている時間は、メモリ 5 が指定されたアドレスのデータの読み出し準備またはデータの書き込み準備に必要な時間であるが、それよりも長い時間が設定されていても問題はない。

【0039】また、時間計測装置 7 をバスインターフェース部 6 の内部に構成してもよい。以上のように上記第 1 および第 2 の実施例によれば、クロックジェネレータ部 3 をクロック発振器 4 およびクロック制御装置 2 で構成しているので、メモリ 6 が書き込みまたは読み出し準備をしている間は、クロックジェネレータ部 3 が CPU 部 1 にクロックを供給しないように制御することができ、メモリ 5 の準備期間における CPU 部 1 の無駄な動作を停止することができ、消費電力を減らすことができる。

【0040】特に、CPU 部と外付けのメモリとのデータの授受では、CPU 部とメモリをつなぐ外部バスは一般に長いため、メモリの準備に長い時間がかかり、かなり大きな効果が得られる。

【0041】また、メモリ 5 が書き込みまたは読み出し準備をしている間は、クロックジェネレータ部 3 から CPU 部 1 にはクロック 10 は供給されないので、CPU 部 1 の内部に無処理制御回路を構成する必要がなくなり、CPU 部 1 の構成が簡略化される。

【0042】次に本発明の第 3 の実施例について、図面を参照しながら説明する。図 8 は本発明の第 3 の実施例のマイクロコンピュータシステムの構成図である。

【0043】図 8 に示すマイクロコンピュータシステム

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

9

の構成は、図1に示した第1の実施例のマイクロコンピュータシステムの構成と同様であるので、同一の符号を付けて説明を省略する。

【0044】但し、クロックジェネレータ部3の構成は第1の実施例で用いたものと異なり、CPU部1に入力するクロック20はクロック制御装置2により制御でき、バスインターフェース部6に入力するクロック30は制御できない構成になっている。また、CPU部1とバスインターフェース部6は16ビットの内部バスでデータの授受が行われ、バスインターフェース部6とメモリ5は8ビットの外部バスでデータの授受が行われるものとする。

【0045】以上のように構成された第3の実施例のマイクロコンピュータシステムにおいて、1チップマイクロコンピュータ100がメモリ5に記憶しているデータを読み出すときの動作について、図8および図9に示したタイミングチャートを参照しながら説明する。

【0046】なお、第3の実施例では1チップマイクロコンピュータ100がメモリ5に記憶しているデータを読み出すときの動作についてのみ説明し、メモリ5へのデータの書き込み動作の説明は省略する。

【0047】まず、メモリ5のデータを読み出すために、CPU部1からバスインターフェース部6に入力命令信号22を入力する。同時に16ビットのアドレスデータ27をバスインターフェース部6に入力する。続いて、バスインターフェース部6に入力命令信号22が入力されると、メモリ5が読み出し準備状態であると判断し、クロックジェネレータ部3に対し入力状態信号23を出力する。クロックジェネレータ部3に入力状態信号23を入力すると、クロック制御装置2からの命令で図9に示すようにCPU部1に供給するクロック20を停止状態にする。停止状態のクロック20を受けたCPU部1は動作が停止する。また、クロックジェネレータ部3はバスインターフェース部6にクロック30を供給し続ける。

【0048】また、16ビットのアドレスデータ27および入力命令信号22を受けたバスインターフェース部6は、入力開始信号24および16ビットのアドレスデータのうち上位8ビットのデータをアドレスデータ27としてメモリ5に入力する。続いて、残りの下位8ビットのアドレスデータ27をメモリ5に入力する。16ビット分のアドレスデータ27が指定するアドレス値の読み出し準備が完了すると、メモリ5からバスインターフェース部6に出力開始信号25と指定されたアドレスの上位8ビットのデータ28を出力する。続いて、下位8ビットのデータ28を出力する。バスインターフェース部6は出力開始信号25を入力すると同時に、クロックジェネレータ部3に対して入力開始状態信号26を出力する。クロックジェネレータ部3は入力開始状態信号26を受けて、クロック制御装置2により図9に示すよう

(6)

10

にクロック10を停止状態から動作状態にする。動作状態のクロック10を受けたCPU部1およびバスインターフェース部6は再び動作を開始する。

【0049】次に、クロックジェネレータ部3の構成を図10を参照しながらさらに詳細に説明する。

【0050】図10はクロックジェネレータ部3の構成図である。図10に示すように、4はクロック発振器で、クロック制御装置2を介してクロック20をCPU部1に供給する。クロック発振器4の出力はクロック30として直接バスインターフェース部6に供給する。クロック制御装置2はAND回路およびRSフリップフロップ回路で構成されており、セット端子8およびリセット端子9からの入力信号で、クロック20を動作状態または停止状態に制御することができる。

【0051】以下、クロックジェネレータ部の動作を図9および図10を参照しながら説明する。

【0052】まず、リセット端子9にHの入力状態信号23が入力されると、RSフリップフロップ回路の出力はLとなり、AND回路の一方の入力端子にLの信号が入力される。したがって、AND回路の他方の入力端子に入力されるクロック発振器4の出力のH、Lに関わらずクロックジェネレータ部3から出力されるクロック10は停止状態になる。

【0053】続いて、セット端子8にHの入力開始状態信号26が入力されると、AND回路の一方の端子にHの信号が入力され、クロック発振器4の出力がそのまま出力され、動作状態のクロック20をクロックジェネレータ部3は出力する。

【0054】以上のように第3の実施例では、メモリ5が読み出し準備状態の間は、バスインターフェース部6へのクロック30を動作状態のままとし、CPU部1へのクロック20を停止状態にしているため、CPU部1の入出力ビット数がメモリ5の入出力ビット数より多い場合でも、CPU部1からバスインターフェース部6に入力するデータを、2段に分けてメモリ5に入力することができるうえ、第1および第2の実施例と同様に、CPU部1に無処理制御回路を構成する必要がなく、かつ消費電力を減らすことができる。

【0055】なお、第3の実施例では内部バスが16ビット、外部バスが8ビットの場合について説明したが、CPU部が接続されているバスと、メモリが接続されているバスが同じビット数の場合でも対応できる。

【0056】第1、第2、第3の実施例では、入力命令信号22や出力開始信号25等によりバスインターフェース部6はメモリ5が準備状態かどうかを検知しているが、内部バスまたは外部バスのデータの有無やデータ変化等によって検知してもよい。

【0057】また、クロックジェネレータ部3がクロック制御装置2を有し、バスインターフェース部6からの入力状態信号23、入力開始状態信号26、クロック停

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(7)

11

止信号43等に従ってクロック制御装置2でクロック10を制御しているが、バスインターフェース部6にクロック制御機能を持たせ、制御信号をクロックジェネレータ部3に出力してもよい。また、クロック制御装置2はクロックジェネレータ部3の内部に構成しているが、外部に構成してもよい。

【0058】メモリ5は、1チップマイクロコンピュータ100の外部に外付けされているが1チップマイクロコンピュータ100の内部に構成してもなんら問題はない。

【0059】また、メモリ5とCPU部1のデータの授受について説明したがそれに限定されない。たとえば、CPUとレジスタのデータの授受や、ダイレクトメモリアクセス(DMA)とメモリとのデータの授受であっても同様の効果が得られる。

【0060】また、上記実施例ではメモリに書き込み読み出しが可能なメモリを用いたがそれに限定されない。

【0061】また、上記実施例ではCPU部1とバスインターフェース部6はそれぞれ別々に構成しているが、バスインターフェース部をCPU部1の内部に構成してもなんら問題はない。

【0062】

【発明の効果】本発明によれば、メモリが書き込みまたは読み出し準備をしている間は、クロックジェネレータ部がCPU部にクロックを供給しないように制御することができるので、メモリの書き込みまたは読み出しの準備期間はCPU部を停止することができ、CPU部の無駄な動作をなくすことができ、消費電力を減らすことができる。

【0063】また、メモリの書き込みまたは読み出し準備期間は、CPU部にクロックは入力されないの、CPU部にウェイト状態制御機能としての無処理制御回路を構成する必要がなくなり、回路の簡素化を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるマイクロコンピュータシステムの構成図

【図2】本発明の第1の実施例におけるマイクロコンピュータシステムのタイミングチャート

【図3】本発明の第1の実施例におけるマイクロコンピュータシステムの構成図

【図4】本発明の第1の実施例におけるマイクロコンピ

12

ュータシステムのタイミングチャート

【図5】本発明の第2の実施例におけるマイクロコンピュータシステムの構成図

【図6】本発明の第2の実施例におけるマイクロコンピュータシステムのタイミングチャート

【図7】本発明の第1実施例のマイクロコンピュータシステムのクロックジェネレータ部の構成図

【図8】本発明の第3の実施例におけるマイクロコンピュータシステムの構成図

10 【図9】本発明の第3の実施例におけるマイクロコンピュータシステムのタイミングチャート

【図10】本発明の第3実施例のマイクロコンピュータシステムのクロックジェネレータ部の構成図

【図11】従来のマイクロコンピュータシステムの構成図

【符号の説明】

- 1 CPU部
- 2 クロック制御装置
- 3 クロックジェネレータ部
- 5 メモリ
- 6 バスインターフェース部
- 7 時間計測装置
- 10 クロック
- 22 入力命令信号
- 23 入力状態信号
- 24 入力開始信号
- 25 出力開始信号
- 26 入力開始状態信号
- 27 アドレスデータ
- 28 データ
- 32 出力命令信号
- 33 出力状態信号
- 34 出力開始信号
- 35 入力完了信号
- 36 入力完了状態信号
- 37 アドレスデータ
- 38 データ
- 43 クロック停止信号
- 44 クロック動作信号
- 46 時間計測開始信号
- 47 時間計測完了信号
- 100 1チップマイクロコンピュータ

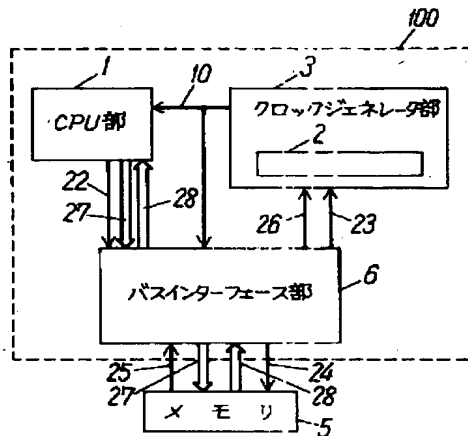
THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPY

(8)

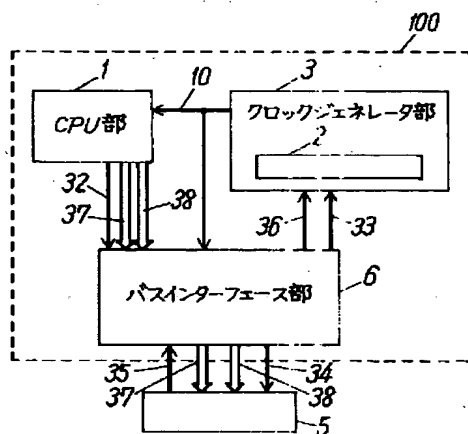
【図1】

- | | |
|------------|--------------------|
| 2 クロック制御装置 | 26 入力開始状態信号 |
| 10 クロック | 27 アドレスデータ |
| 22 入力命令信号 | 28 データ |
| 23 入力状態信号 | 100 1チップマイクロコンピュータ |
| 24 入力開始信号 | |
| 25 出力開始信号 | |

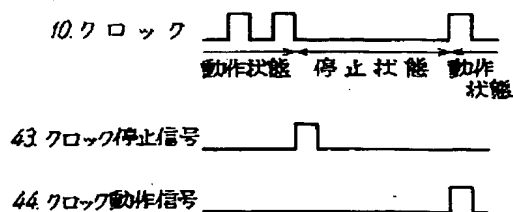


【図3】

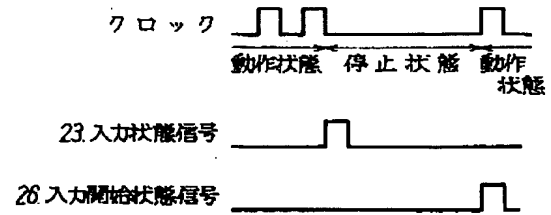
- | | |
|-----------|-------------|
| 32 出力命令信号 | 36 入力完了状態信号 |
| 33 出力状態信号 | 37 アドレスデータ |
| 34 出力開始信号 | 38 データ |
| 35 入力完了信号 | |



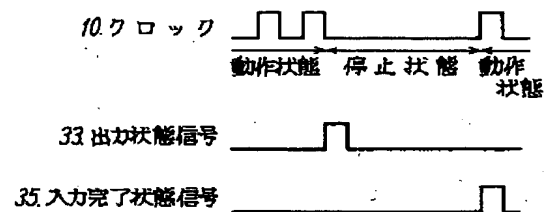
【図6】



【図2】

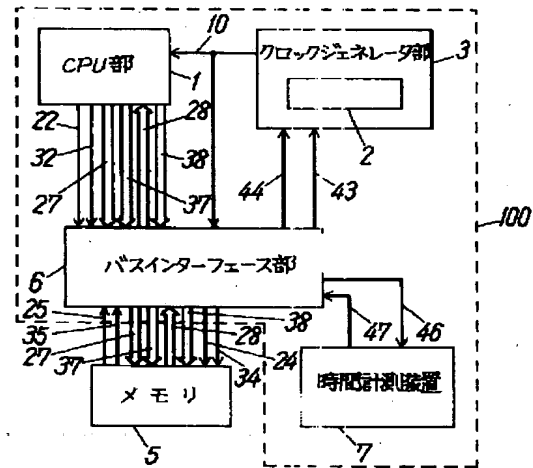


【図4】

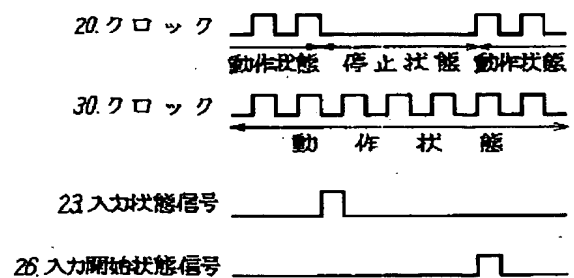


【図5】

- | | |
|-------------|-------------|
| 2 クロック制御装置 | 46 時間計測開始信号 |
| 43 クロック停止信号 | 47 時間計測完了信号 |
| 44 クロック動作信号 | |



【図9】

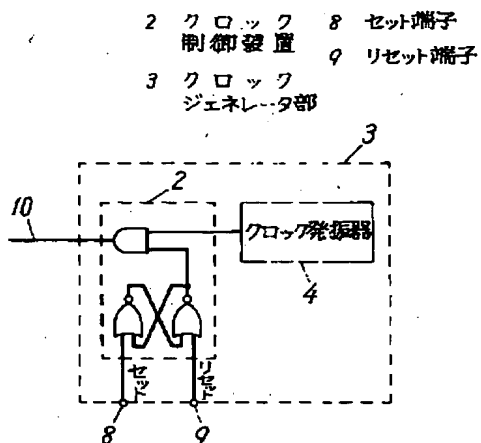


THIS PAGE BLANK (USPTO)

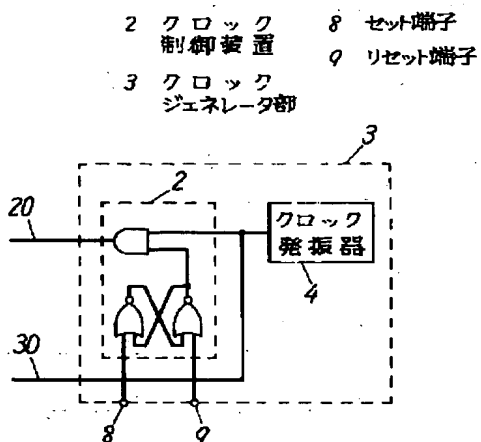
BEST AVAILABLE COPY

(9)

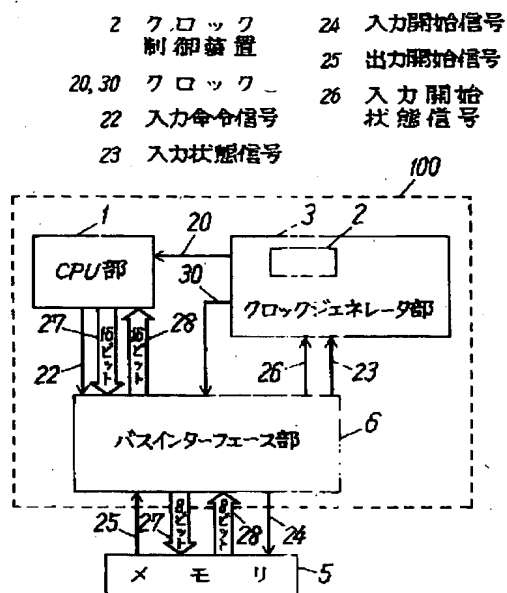
【図7】



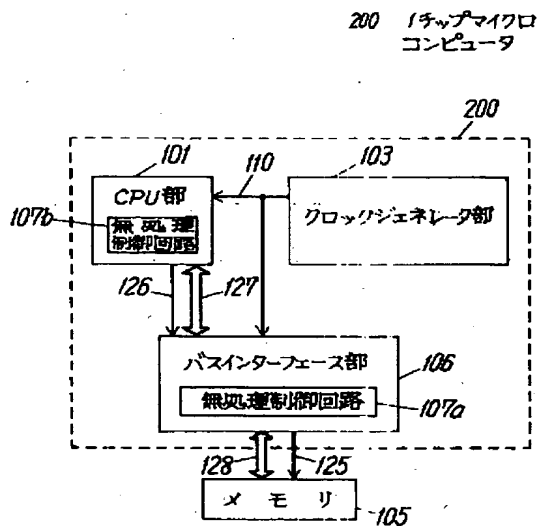
【図10】



【図8】



【図11】



フロントページの続き

(72) 発明者 渡辺 真聡
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)